

⑰公開特許公報(A)

昭54—56743

⑯Int. Cl.²
G 06 F 15/16識別記号 ⑯日本分類
97(7) H 1⑯内整理番号 ⑯公開 昭和54年(1979)5月8日
6619—5B発明の数 1
審査請求 未請求

(全 11 頁)

⑯計算機システム

ラツテンベルガーシュトラーセ
30

⑯特 願 昭53—115032

⑯出 願 昭53(1978)9月19日
優先権主張 ⑯1977年9月19日 ⑯西ドイツ
(DE)⑯P 2742035.5⑯發明者 ルードルフ・コーバー
ドイツ連邦共和国ミュンヘン70

⑯代 理 人 弁理士 富村潔

明細書
1 発明の名称 計算機システムムバスに接続されたことを特徴とする計算機
システム。

2 特許請求の範囲

2) 各個計算機のそれぞれ隣接する2個の接続

1) 1群の各個計算機が、少なくも2個のバスシステム、すなわち番地および制御バスと少なくも1本のデータバスとから成るシステムバスを経て、制御計算機に接続可能である如き計算機システムにおいて、システムバスはその中に所蔵された1個若しくは多くのバススイッチにより、区間に分割され、各バススイッチは下記の性質を持つ、すなわち

3) 各第2の接続箇所(Ⅱ₂, Ⅲ₄, Ⅲ₆)にデータ交換計算機が配置されることを特徴とする特許請求の範囲第1項或は第2項記載の計算機システム。

a) 両バスシステムはバススイッチにより制御されて切替可能であること、

4) それぞれシステムバス上の2個若しくは多くの隣接するバススイッチを拘束する1個若しくは多くの群が、それぞれ1個の他のバススイッチにより制御され接続可能であり、しかし各他のバススイッチは下記の性質、すなわち

b) バススイッチの流通方向はバスシステムの各々に対し、別々に切替え可能であること、

d) その流通方向は切替え可能であること、

c) バススイッチは制御計算機により直接に指定可能であること、

e) 隣接される群の全スイッチが流通方向に接続され、かつ同時に少くも一端に存在するス

の性質を持ち、しかして1個若しくは多くのデータ交換計算機が種々の箇所においてシステ

イッチが群を遮断したとき、別のバススイッチが通常方向に切替えられること。

(1) 両の側りのスイッチの少くも1個が遮断されたとき、別のバススイッチは遮断されること。

の性質を持つことを特徴とする特許請求の範用規1項ないし第3項のいずれかに記載の計算機システム。

3 発明の詳細な説明

この発明は計算機システムにおいて、一群の各個計算機が、少くも2個のバスシステム、すなわち帶地および制御バス、および少くも1本のデータバスから成る所のシステムバスを経て、制御計算機に結合可能である如き計算機システムに関する。

かかる形式の計算機システムは公知である(西ドイツ国特許出願公開第2546202号公報)。この計算機システムにおいて制御計算機はデータを分配し、制御計算機は各個計算機の作動結果を

順次にシステムバスに与え、しかして残余の各個計算機中には、どれだけの各個計算機が結果を必要とするかに無関係に嵌込むのである。従つて全データ交換に対し分配されるべき結果に等しい交換サイクルが必要である。

冒頭に述べた形式の計算機システムの能率は、各個計算機間の情報交換の時間に大きく依存する。その際の目標はできるだけ短かい交換時間を得ることにある。

多くの処理されるべき問題において、限られた近接結合、すなわち隣接する基本隣接間の情報交換のみが必要であるということがある。冒頭に述べた形式の計算機システムにおける取扱いに対し、限られた間隔で互いに配置された各個計算機間のみの交換が必要であることが重要である。計算機システムの各個計算機間の限られた近接結合は現場計算者に公知である(例えばG.H.Barnes, R.M.Brown, M.Kato, D.J.Kuck, D.L.Slotnick, R.A.Stokes の'ILLIAC第4コンピュ

-タ' IEEE Trans. on Comp.,, 卷C-17, 第8冊 1968年8月号参照)。ここで各個計算機は相互に固く結合される、すなわち各々の各個計算機は4個の直接計算機と結合される。しかしこの固い結合は余り適合しない問題の際にのみ有利である。例えば高次の供給の際、或は不規則な結合の際がそうであるよう、結合が計算機構成と一致しない問題の際はデータ交換を著しく複雑、緩慢にし、之により長い交換時間をとるようになる。

この発明の目的は冒頭に述べた形式の計算機システムにおいて、限られた近接結合を、交換相の短縮に利用できるシステムを得ることにある。この目的を達成するためこの発明によれば、システムバスを、その中に割り込まれた1個若くは多くのバススイッチにより区間に分割し、各バススイッチは下記の性質:

(a) 両バスシステムがバススイッチにより制御され遮断可能であること、

(b) スイッチの流通方向はバスシステムの各々に對し、別々に切替え可能であること、

(c) バススイッチは制御計算機により直接に帶地指定可能であること、

の性質を持ち、しかして1個若くは多くのデータ交換計算機が種々の箇所においてシステムバスに接続される如くするのである。

この計算機システムにより、固定的の或は不規則の結合を持つ問題の際、全バススイッチが閉結され、各個計算機の間の結果を交換することができる。限られた近接結合を持つ問題の場合、システムバスはバススイッチの遮断により多くの区間に分割することができ、その区間内でデータ交換は、それぞれデータ交換計算機に制御されて同時に、かつ相互に無関係に行うことができる。

この並列な交換により多くの問題の際交換時間は著しく短縮することができる。

この発明の有利な実施形は、各個計算機のそれぞれ2個の隣接の接続箇所の間で、システムバス

にバススイッチを配置するように成るのである。

他の有利な実施形は、各第2の接続箇所において、それぞれデータ交換計算機が接続される特徴を持つ。

この発明の他の有利な構成は、システムバスにおいてそれぞれ2個若くは多くの群が、それぞれ他のバススイッチによつて制御され橋絡可能であり、しかして上記のそれぞれ他のバススイッチは下記のような性質を持つ。すなわち

d) バススイッチの疏通方向が切替え可能であること。

e) 橋絡される群の全スイッチが疏通方向に接続され、かつ同時に群の一端に存在するスイッチが遮断されたときに、全スイッチが疏通方向に切替えられること。

f) 群の残りのスイッチの少くとも1つが遮断されたときに、他のバススイッチが遮断されること。

特開昭54-56743(3)

との性質を持つように構成されるのである。この計算機システムは更に有利に下記のように成される、すなわち多段の橋絡システムが存在し、その際それぞれ1つの段において、最高次の段と仮定すると、それぞれ2個或は多くの他のバススイッチを包含する1個若くは多くの群が、次に高次の段のそれぞれ他のバススイッチにより橋絡可能であり、最低次の段はシステムバス上のバススイッチを橋絡可能である他のバススイッチから成り、しかして他のバススイッチの群を橋絡する各他のバススイッチが、この群に關し上記d)乃至e)の性質を持つように構成するのである。

次にこの発明を図示実施例について説明する。

第1図は計算機構成の概図、第2図は2段の橋絡システムの線図、第3図は2次元の格子状網、第4図はリニアダイヤグラム、第5図はバススイッチ或は他のバススイッチの実施例、第6図は2分岐バスドライバの実施形、第7図は第5図のバススイッチの制御ロジック、第8図は第5図のバ

スイッチに対する選択ロジック、第9図は第5図のバススイッチに対する解放ロジック、第10図はスイッチ或は他のバススイッチの群を、他のバススイッチにより橋絡するための実施形、第11図は橋絡に対する2つのデータフローダイヤグラム、第12図は隣接するバススイッチの布線に対する実施例、第13図は方向切替えの原理に対する実施例、第14図は第2図の2段の橋絡システムに対するデータフローダイヤグラムを示す。

第1図においてシステムバス1に箇所m₁～m₆において、各個計算機M₁乃至M₆が接続される。2個の隣接する接続箇所m₁およびm₁₊₁の間ににおいて、それぞれバススイッチS₁がシステムバス中に配備される。それにより5個のバススイッチS₁乃至S₅が存在する。バススイッチによりシステムバスは、区間a₁乃至a₆に分割される。更にデータ交換計算機ATR₁、ATR₂、ATR₃が接続される。システムバスは左方が制御計算機STRIC開口する。右側に向つてシステムが進むも

のと考えることができる。殊にかかる計算機システムはマイクロプロセッサモジュールによつて構成される。

第2図に2段の橋絡システムを示す。システムバス2上にバススイッチS₆乃至S₂₀が配備される。バススイッチS₉乃至S₁₁は別のバススイッチS₂₁により、バススイッチS₁₂乃至S₁₄は別のバススイッチS₂₂により、しかしバススイッチS₁₅乃至S₁₇は別のバススイッチS₂₃により橋絡可能である。

その際別のバススイッチS₂₁乃至S₂₃は橋絡システムの第1段を形成する。これらスイッチは橋絡システムの第2段を形成する別のバススイッチS₂₄により橋絡可能である。これら別のバススイッチの各々は下記の課題を満たさねばならない：バススイッチの疏通方向は切替え可能でなければならず、スイッチが橋絡する所の、次に低い段のバススイッチ或は他のバススイッチの総てが疏通方向に接続され、かつ同時にこの群の一端に存在

するスイッチが遮断されたときに、スイッチは通常方向に接続されねばならず、しかしてこの群の切りのスイッチの少くも1つが遮断されたときに、スイッチは遮断しなければならないのである。

第1図成は第2図の計算機システムの、具体的な構成の説明に入る前に、第3図および第4図について、ここに示した計算機構成において、交換帯が処理される問題の結合帯にいかに適合されるかを示す。その際データ交換の時間への、結合方法の影響を、1例について検討する。例として第3図に示すように2次元の問題構造を基礎に置く。かかる構造は定積分の方法による偏微分方程式の解法の際に現われ、例えば界計算或は天気予報の際応用される。この場合はデータ交換は、直接隣接する格子網の点の間ににおいてのみ必要である。第3図において端点1の例が強調され、この端点はその4個の直ぐ隣 $1-1, 1-n, 1+1, 1+n$ とのみデータが交換される。問題をここに示されたリニアの計算機構造に図解する。例えば各

個計算機がそれぞれ1個の格子網点を取扱っている所の第1或は2回によつて図解すれば、所定のバンド幅内ののみでデータ交換が必要なようにできる。格子網点1に所屬する各個計算機からその結果は、点 $1-n, 1-1, 1+1, 1+n$ に分布された各個計算機に与えられねばならない。すなわちバンド幅は $2n+1$ である。1次元にプロジェクトされた事態を第4図に示す。

この発明による計算機システムはこの問題に有利に適合し、システムバスを長さ $2n+1$ の区間に分割する。分割のためバススイッチが役立つ。これら区間内でそれぞれ中心の各個計算機の結果が分配される。次のステップにおいてシステムバスの区間に1個のバススイッチだけシフトされ、結果は今や区間中央に存在する各個計算機に分配され、以下同様にされる。全区間ににおいて同時に交換されるので、 n^2 の結果を分配するために、2つの $n+1$ の交換ステップが必要なのみである。従つて1群の格子網点/バンド幅の比に無しに保

数だけ、データ交換相の短縮が与えられる。格子点数 10^4 でバンド幅が 201 に相当する所の、 $n=100$ による2次元の問題において、交換ステップの数は格子網点の数のほぼ $\frac{1}{50}$ だけ短縮される。この発明の計算機システムはこの例にのみ限定されるので無く、他の問題構造にも立派に適用できることを指摘して置く。その根拠はバススイッチが持たねばならない上記の性質④乃至⑤である。

第5図にバススイッチの特に具合の良い実施形を示す。これが同時に他のバススイッチとしても使用できるように構成される。第5図によりバススイッチは、選択ロジックSEL、解放ロジックSEL、システムバス中に接続された2個の2分岐バスドライバBD1或はBD2、それに所屬の制御ロジックBC1或はBC2、および動作模式切替スイッチSから成り、その際にBD1はデータバス中に、BD2は帶地バス中に接続される。動作模式切替スイッチSを経て2つの動作模式の

間の切替えが可能であり、その際一方の動作模式（之をAと呼ぶ）においては、バススイッチ状態は解放ロジックSELにより決定され、すなわち制御計算機により着地指定され、制御される。他方の動作模式（之をBと呼ぶ）においては、動作状態はENABLE入力を経て確定され、この入力は同じ仕方で構成された他のバススイッチのENABLED出力と接続可能であり、之によりバススイッチは他方のものの動作状態を引受けることができる。1段成は多段の構造システムの1つに、バススイッチを他のバススイッチとして挿入する際、次に低い段の構造されたスイッチのENABLED出力は、アンド回路を経て他のバススイッチのENABLE入力と接続され、之により性質④および⑤が実現される。ENABLED出力と動作模式切替スイッチとの間に、開放コレクタ出力を持つドライバ50が接続され、之は多くのバススイッチの複数のENABLED出力の結合されたアンド結合を可能にする。

第6図に同じく構成された双方向の2箇のバスドライバBD1又はBD2が示される。之は4ビット並列の2個の2分岐バスドライバSAB8216から成る所の1バイトのビット並列の伝送のためのバスドライバを取扱う(ジーメンス株式会社、1976/77年「データブック・システムSAB8080マイクロプロセッサ電子の説明を参照)。ここでおよび以下において、電子の入力をより出力は上記文献のように記号をつけてある。共通の入力CSと接続された両端子の入力CSを経て、バスドライバは阻止することができる。バスドライバの共通の入力dienと集合された入力DIENを経て、データ流れの方向が確定される。上記の文献に詳細が示してある。端子DI, DO又はDBは文献の入力DI₀乃至DI₃, DO₀乃至DO₃又はDB₀乃至DB₃を代表している。

第7図に制御ロジックBC1又はBC2の構造を詳細に示す。それぞれ2個の入力を持つ3個のアンド回路81, 82, 83に對し端子7408、

ノア回路84に對し端子7427, インバータ85, 86に對し端子7404、しかして3個の入力を持つナンド回路87に對しジーメンス社の開放コレクタを持つ端子7422が適当である。(上記データブックの「デジタル接続」を参照)。出力DIR CTRL 1又は2と接続された入力DTR CTRL IN1を経て、前者の方向が決定可能である。この入力は一方においてインバータ85を経てそれぞれナンド回路87およびアンド回路81の入力と接続され、他方においてアンド回路83のそれぞれ入力と直結される。そのため所の2分岐バスドライバの入力dienと接続された所の出力702との、上記入力の直接接続が存在する。入力enable 1又は2は一方において動作様式切替器の出力53と、他方においてアンド回路83の第2入力、並びに回路87の第2入力およびノア回路84の入力と接続される。入力enable 1の主端子は、一方においてノア回路84の出力と、他方において2分岐バスドライバBD1又はBD2の入力CSと接

続されるべき出力701を経て、バスドライバを阻止し或は自由にすることにある。該当するバスドライバが制御ロジックBC1, BC2の入力enable 1又は2を経て、自由にされたとき、方向情報が次のバススイッチに中継されることがある。この情報は入力DIR CTRL IN 1又は2(第5図参照)を経て、バススイッチに与えられる。制御ロジックの入力DISLはアンド回路81の第2入力と接続され、入力DISR 1又は2はアンド回路82の入力と接続される。これらアンド回路の出力はノア回路84の第2又は第3入力と接続される。アンド回路82の一方の入力は、インバータ86を経て、ナンド回路87の第3入力と、しかしてアンド回路82の第2入力は、ナンド回路の第1入力と接続される。バスドライバBD1又は2は、入力DISR 1又は2又はDISLを経て、右又は左へのデータ流れ方向に對して選択的に阻止することができる。アンド回路83の出力はバススイッチの出力DISR OUT 1又は2を形成す

る。後者の出力は1段若くは多段の接続システムにおいて必要である。ノア回路87の出力はバススイッチの出力DIR CTRL OUT 1又は2を形成する。

第8図にスイッチ選択ロジックSSLを詳細に示す。並置された2個の4ビット比較器81, 82(上記「デジタル接続」の123および124頁の端子7485)を使用する。そこに示す比較器82の入力2(A < B), 3(A = B)又は4(A > B)は、比較器81の対応する出力7(A < B), 6(A = B)又は5(A > B)と並列に接続される。4ビット端子A又はBは、上記文献における端子A₀乃至A₃又はB₀乃至B₃IC相当する^{1字加入}兩比較器81, 82の端子Aは、専用バスと接続されるべきバイト端子を形成する。^{1字加入}兩比較器の4ビット端子Bは並列に、ブルアップ抵抗を持つ8重コードスイッチ83と接続される。比較器81の入力3(A = B)は抵抗84を経て、ロジック「1」IC対応する所の給電端子と接続され、そ

れに對し比較器 8 2 の出力 6 ($A = B$) は、選択された解放ロジック SEL の入力と接続される。総合的に示すコードスイッチ 8 3 により、バススイッチは固定のスイッチ番号を備えることができる。入力 A を経て与えられた番号がスイッチ番号と一致する場合、出力 6 ($A = B$) はロジック '1' にされる。

第 9 図に解放ロジック SEL を詳細に示す。之はそれぞれ 2 個の入力を持つ 4 個のオア回路 9 1 乃至 9 4 、それぞれ 3 個の入力を持つアンド回路 9 5 、 9 6 、 D フリップフロップ 9 7 およびインバータ 9 8 を包含する。選択された入力はインバータ 9 8 を経てオア回路 9 1 の入力と接続される。このオア回路の出力は一方において、アンド回路 9 5 および 9 6 のそれぞれの入力と接続される。アンド回路 9 5 の出力は D フリップフロップ 9 7 の入力 D と、アンド回路 9 6 の出力は入力 T (9 7 は上記文献 'デジタル接続' 190 ~ 191 頁の電子 7474 であり、その入力、出力と同じ記号を

用いた) と接続される。このフリップフロップの入力 R はバススイッチの RESET 入力と接続される。フリップフロップの入力 S は総合的にロジック '1' に置かれる。出力 Q はオア回路 9 4 の入力、バススイッチの出力 EN RIGHT OUT および EN LEFT OUT と接続される (第 5 図参照) 。オア回路 9 4 の出力は解放ロジックの出力を形成し、この出力は動作模式切替器の入力 5 1 と接続され、この切替器の他方の入力 5 2 はバススイッチの入力と接続される。バススイッチの入力 SHIFT RIGHT は一方においてアンド回路 9 6 の第 2 入力と、およびオア回路 9 3 の入力と接続される。類似にバススイッチの入力 SHIFT LEFT はアンド回路 9 6 の第 3 入力およびオア回路 9 2 の入力と接続される。入力 SELECTION MODE はオア回路 9 4 の第 2 入力と、入力 SELECT STB はオア回路 9 1 の第 2 入力と、しかして入力 EN LEFT IN はオア回路 9 2 の第 2 入力と接続される。オア回路 9 2 の出力はアンド回路 9 5 の第 2 入力と、オア回路 9 3 の出

力は同じく 9 5 の第 3 入力と接続される。マーキングフリップフロップとして役立つ所の D フリップフロップは、3 個の異なる信号によつてセットされる：バススイッチを選択する場合 ('1' を選択) 、 SELECT STB へのパルスによりこのフリップフロップはロジック '0' にセットされる、すなわち出力 Q は '0' にある。 SHIFT LEFT へのパルスによりフリップフロップは、入力 EN LEFT IN の状態により充電され、 SHIFT RIGHT のパルスの際は、オア回路 9 3 の入力と接続された入力 SHIFT RIGHT IN の状態により充電される。ここで述べた SHIFT LEFT 或は SHIFT RIGHT による有利な接続は、一度分割されたバス区間の簡単なシフトを、 SHIFT LEFT 或は SHIFT RIGHT へのパルス印加によつて可能にする意義を持ち、之により計算機システムが、第 3 図および第 4 図で述べた如き問題構造特に有利に応用可能である。

入力 SELECTION MODE がロジック '0' に置かれた場合、ロジックの出力に、フリップフロップ

の出力 Q におけるそのときどきの 2 進値が存在する。その際出力が '0' に置かれたとき、バススイッチは遮断される。その他の場合にバススイッチは開放される。入力 SELECTION MODE がロジック '1' に置かれた場合、出力もこの値にあり、このことはバススイッチが閉じたことを意味する。従つて大きな時間損失無しに、区間に分割されたシステムバスと、直通されたシステムバスとの間を切替えることができる。入力 RESET を経てマーキングフリップフロップを基本状態 Q = '1' にリセットすることができる。その際マーキングフリップフロップの意義は下記の通りである：バススイッチは 'マークされた' のであり、之は動作モードの '選択モード' の際は中断されるべきである。このマーキングは既述のように 3 種の形式で行うことができる。しかしバススイッチは入力 SELECTION MODE に '1' が印加された場合、閉結されたままである。之により制御計算機から情報が、更にシステム中に存在する全計算機、デ-

タ交換計算機およびバススイッチにも送出される。従つてバススイッチのマーキングの際の順序は任意である。之に反しバススイッチが直ちに遮断されたとすれば、このスイッチの後ろに存在するすべての要素は、制御計算機によりもはや応動させることができないであろう。すなわちまず、接続路に存在するバススイッチを遮断しなければならない。入力 SELECTION MODE が '0' に置かれた場合、システムバスはマークされた箇所で切断される。

分割されたシステムバスによるデータ交換の間、制御計算機から端までの、或は後続路に存在する若干の成分に、例えばデータ交換計算機中のプログラムを変更するため、アクセスすることが一時的に短時間必要である。そのため分割された、および直通されたシステムバスの間の時間節約の切替えが、フリップフロップの補助により簡単な仕方で実現できる。

第 10 図に 4 個のバススイッチ S_{101} 乃至 S_{104}

特開昭54-56743(7) を、別のバススイッチ S_{201} により接続することを示す。各スイッチは第 5 図に示すように構成される。4 個のバススイッチの出力 ENABLED は、接続されたアンド回路を経て他のバススイッチの入力 ENABLE と、およびバススイッチ S_{101} の入力 DISL とに接続される。別のバススイッチ S_{201} の出力 DISR 1 OUT および DISR 2 OUT は、バススイッチ S_{104} の対応する入力 DISR 1 および DISR 2 と接続される。残りの全バススイッチおよび他のバススイッチにおいて、これらの入力は接続される。バススイッチ S_{101} 以外の、別のバススイッチおよび残りのすべてのバススイッチにおいて、入力 DISL がやはり接地される。入力は、制御線 DIR CTRL 1 + 2 を経て制御計算機と接続される。バススイッチの残りのすべての入力および出力は、制御バスを経て、やはり制御計算機と接続される。この接続の作用は、全バススイッチが自由にされたとき、他のバススイッチも自由にされることである。同時に入力 DISL を経て左方

のバススイッチ S_{101} は、左方へのデータ流れ方向に対し、しかして入力 DISR 1 および 2 を経て、右のバススイッチ S_{104} は右方向に対して阻止される（後述するデータ源を持つ分岐の構造形成を仮定する）。従つて第 11 図に線図的に示すデータ端 111, 112 が実現される。

図示の構造は各構造段に対して設けることができる。このことはスイッチ S_{101} 乃至 S_{104} 並びに他のバススイッチが、構造システムの第 1 段或は一層高次の段であり得ることを意味する。このようにして任意に多段の構造システムを実現することができる。

第 12 図に、第 10 図の破綻の後の範囲 120 を特別に示す。入力、出力は、小星印でマークしてある。スイッチをシステム中に構築として、バススイッチとして挿入する際、3 個の全入力 DISR 1, 2 および DISL は接地される。構造を持つ場合、4 個の上部の出力の接続は第 10 図から知ることができる。スイッチ S_{102} が左の構スイッチで

あり、或はスイッチ S_{103} が右の端スイッチである場合に同じことが通用する。両スイッチの残りの入力、出力、すなわち小星印でマークしない入力、出力の接続は、第 12 図から自然に与えられる。

第 13 図に、計算機システムのデータバス 125 上の 4 個のバススイッチ S_{121} 乃至 S_{124} を示す。この図により方向切替えを説明する。2 個の隣接するバススイッチの間にそれぞれ、情報の源 Q_1 乃至 Q_3 として各個計算機或はデータ交換計算機が、データバスに接続される。バススイッチは第 5 図に示されるように構成されるが、選択ロジック BC 1 或は BC 2 が、それぞれドライバおよび抵抗を持つ所の、簡易化された特別に示すロジックにより置換された点が異なる。この簡易化されたロジックの作用は、第 7 図の入力 DISR 1 或は 2, DISL, DIR CTRL IN 1 或は 2 を '0' に置き、しかしして入力 enable 1 或は 2 を '1' に置くとき、第 7 図のロジックと一致する。それぞれ 2 個の隔

接する接続箇所の間に、開放コレクタ出力を持つドライバが制御線 DIR CTRL 中に配置され、更にこれら区間の各々は抵抗を経て、給電電圧に接続可能である。ドライバは参照数字 131 乃至 134 を持ち、抵抗は参照数字 135 乃至 138 を備える。各源は出力 q₁, q₂ 或は q₃ を持ち、之は制御線 DIR CTRL と接続される。この出力は、原が送信するとき、すなわち各個計算機或は交換計算機がデータを送出するとき、「0」に置かれる。2 路バスドライバ BD2 に対し、付加的に同一に構成された装置が制御線を備え、それに原を接続することができる。

第 13 図の装置により方向切替の原理が実現され、之は下記の解説から出発する。各バス区间において各交換サイクルにおいて各バスシステムに対し、1 個の送信している原のみが与えられる。この原は制御および番地バスに対しては制御計算機或は交換計算機であり、データバスに対しては所定の各個計算機であり得る。これらの原はバス

区間の奥の要素に情報を送信し、このことはペスドライバを原の方向に接続しなければならないことを意味する。

方向切替の原理は西バスシステムに対し同じである：従つて第 13 図にはデータバスシステムのみを示す。バスドライバ方向は第 13 図により制御線 DIR CTRL を経て制御される。どの原からも送信が無い場合、原は「1」にあり、之は抵抗によつて行われる。之によりドライバは右の方向に接続される。或る原が情報を送信する場合、制御線の所持の区間に「0」を印加する。この節は原の左方に存在するドライバに辨知され、之によりドライバはその方向を左に反転する。之により原はその情報を放射状に送信することができる。

橋絡システムの橋絡された分岐において、原は同様の仕方で別のバススイッチの制御線 DIR CTRL を「0」に聞く。第 14 図において例として、第 2 図の橋絡システムの橋絡された区間内の原におけるデータの流れを示す。原から送信された情報は、

原が接続された橋絡された区間の最右のバススイッチを経て、次に高次の段の橋絡された段に中継される。その際段から段への中継に対して同じことが適用する。従つてこの場合に対し、情報を次に低い段から送信する所の区間の最右のバスドライバの各段に対し、この区間の全バススイッチが自由である場合にも、右のデータ流れ方向に対し阻止し橋絡されたバススイッチの出力 DISR OUT は、そのスイッチのデータ流れ方向は左を示すので、非活性である。

次いでデータ交換計算機の機能について説明する。システムバスが区間に分割されたとき、この区間は自動的に計算機システムであり、しかして自動的の区間内で結果の分配を行う所の「中央」の計算機が必要である。その際には下記の 2 つの課題を満足すべきである。

1) データが伝送されるべきデータ路の接続、

2) この路を経てのデータの伝送、

このことは原則的に適当にプログラミングされた

計算機によつて行うことができる。しかし既にこの目的に対し割当てられたデータ交換計算機が提案され、この発明の計算機システムに対しても適当である。

4 図面の簡単な説明

第 1 図は計算機構成の概図、第 2 図は 2 段の橋絡システムの構成、第 3 図は 2 次元の格子網、第 4 図はリニアダイヤグラム、第 5 図はバススイッチ成の他のバススイッチの実施例、第 6 図は 2 分岐バスドライバの実施形、第 7 図は第 5 図のバススイッチの制御ロジック、第 8 図は第 5 図のバススイッチに対する選択ロジック、第 9 図は第 5 図のバススイッチに対する解放ロジック、第 10 図はスイッチ成の他のバススイッチの群を他のバススイッチにより橋絡する実施形、第 11 図は橋絡に対するデータフローダイアグラム、第 12 図は橋絡するバススイッチの接続に対する実施例、第 13 図は方向切替の原理に対する実施例、第 14 図は第 2 図の 2 段の橋絡システムに対する

データフローダイヤグラムである。

図において

1, 2 … システムバス、 8 1, 8 2 … 4 ビット
比較器、 8 3 … 8 直コードスイッチ、 9 7 … D フ
リップフロップ、 a₁ ~ a₆ … 区間、
ATR₁ ~ ATR₃ … データ交換計算機、
BC1, BC2 … 制御ロジック、 BD1, BD2 … バスト
ライバ、 M₁ ~ M₆ … 各個計算機、 q₁ ~ q₃ …
データ源、 S … 動作模式切替スイッチ、 S₁ ~ S₂₀
… バススイッチ、 S₂₁ ~ S₂₄ … 他のバススイッチ、
S₁₀₁ ~ S₁₀₄, S₁₂₁ ~ S₁₂₄ … バススイッチ、
S₂₀₁ … 他のバススイッチ、 SEL … 解放ロジック、
SSL … 選択ロジック、 STR … 制御計算機。

(6118) 代理人 井理士 富村 淳

Fig.1

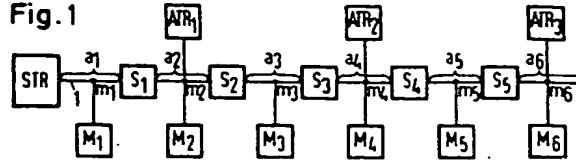


Fig.2

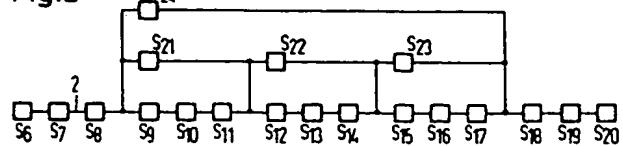


Fig.3

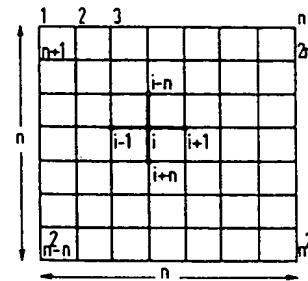


Fig.4

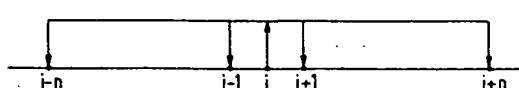


Fig.5

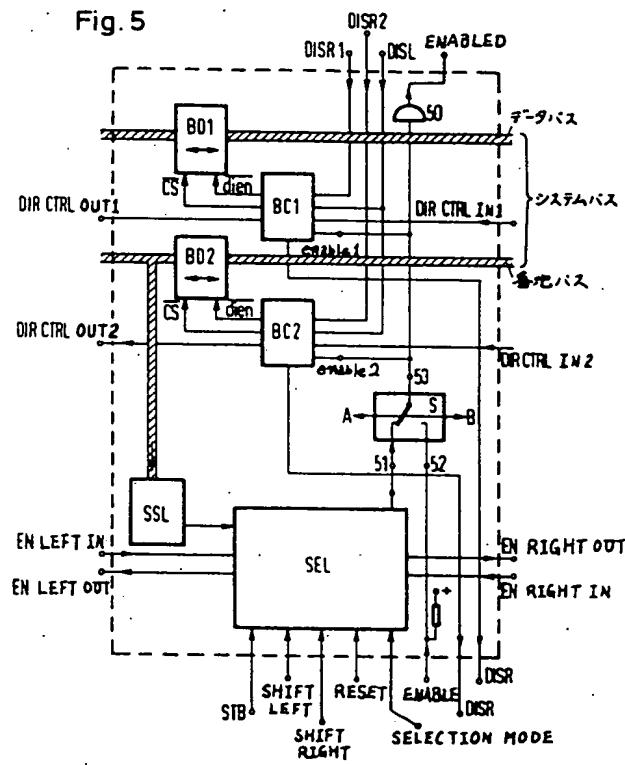


Fig.6

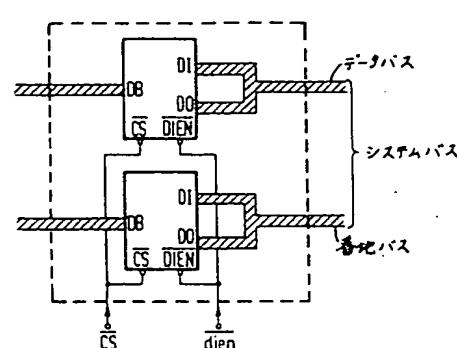


Fig.7

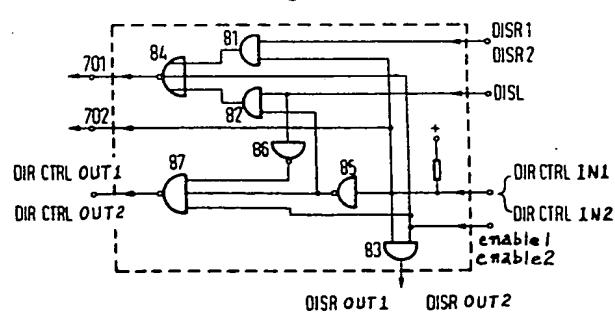


Fig. 8

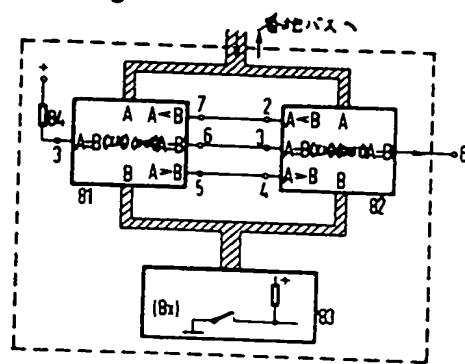


Fig. 9

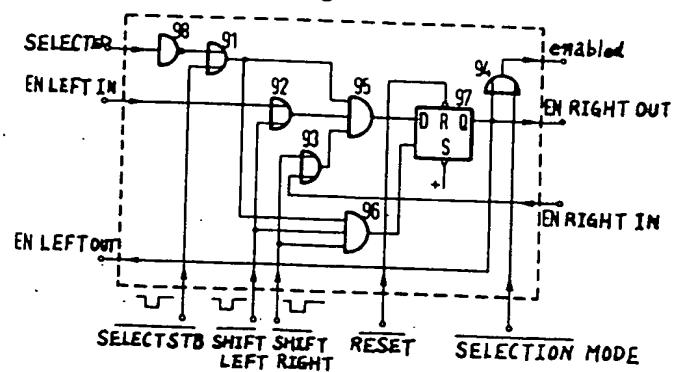


Fig. 10

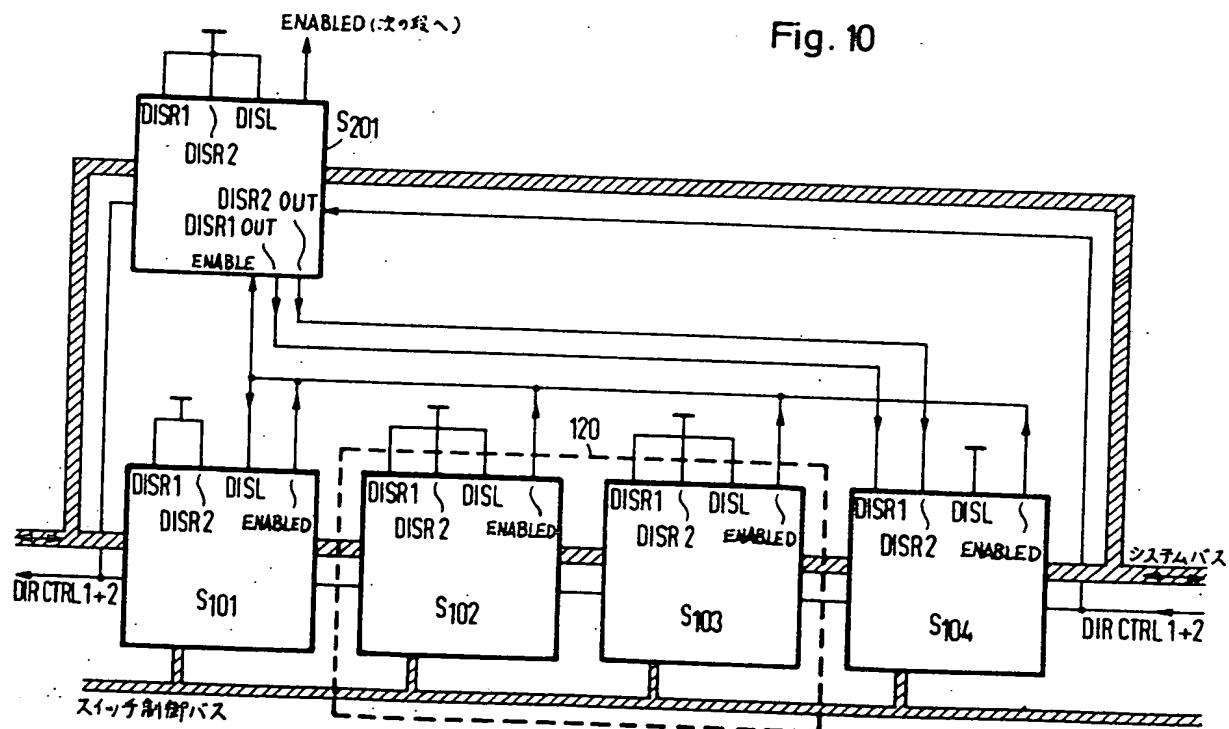


Fig. 11

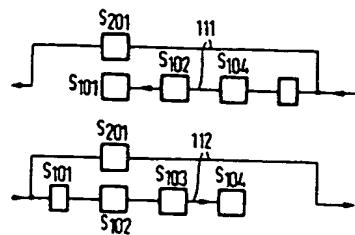
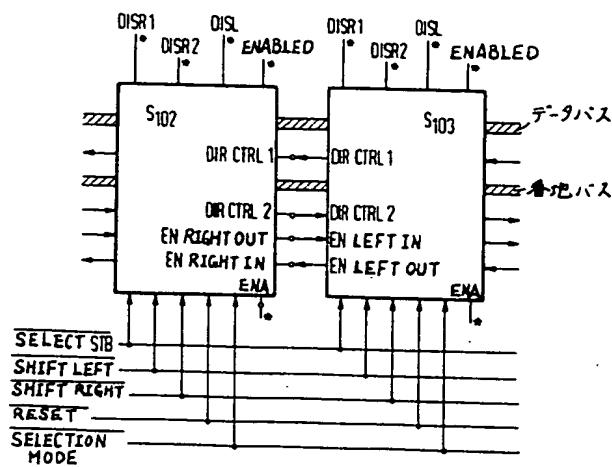


Fig. 12



113H F54-5 6 7 4 3 (11)

Fig. 13

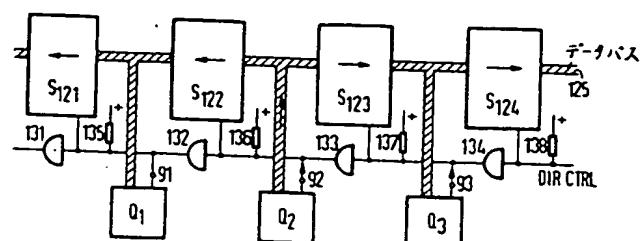


Fig. 14

